

УДК 004.383

[https://doi.org/10.32515/2664-262X.2025.12\(43\).1.73-79](https://doi.org/10.32515/2664-262X.2025.12(43).1.73-79)

Т. О. Єфіменко, Л. Я. Мартинович

*Одеський національний університет імені І. І. Мечникова, Одеса, Україна**e-mail: efimenko.timur@stud.onu.edu.ua, larysa.yaroslavna@onu.edu.ua*

Синтез трійкового дворозрядного лічильника на базі трійкових Т-тригерів

У статті досліджується застосування трійкової логіки в цифрових пристроях шляхом розробки дворозрядного асинхронного трійкового лічильника на базі Т-тригерів, реалізованих з використанням біполярних порогових елементів. Проведено огляд сучасного стану трійкової логіки, розглянуто її переваги, недоліки та проблеми синтезу логічних функцій. Запропонована схема забезпечує надійне перемикання між трьома логічними станами (-1 , 0 , $+1$) та охоплює дев'ять циклічних станів. Підтверджено працездатність і потенційну ефективність трійкового підходу в порівнянні з двійковими аналогами, а також окреслено перспективи його подальшого розвитку в напрямі синхронних схем.

трійкова логіка, Т-тригер, асинхронний лічильник, багатозначна логіка, БПЕБЛ, цифрова схема

Постановка проблеми. У сучасному етапі розвитку електроніки та обчислювальної техніки особливого значення набувають дослідження в галузі багатозначної логіки, яка розглядається як один із напрямів підвищення ефективності цифрових систем. Зокрема, трійкова логіка дозволяє скоротити кількість необхідних логічних елементів, знизити енергоспоживання та збільшити інформаційну щільність передачі та обробки даних. Незважаючи на переваги, реалізація трійкових схем залишається недостатньо дослідженою, особливо у контексті побудови трійкових лічильників на базі також ще неіснуючих трійкових елементів, таких як Т-тригери.

Виникає потреба у створенні стабільних, надійних і технологічно простих схем трійкових лічильників, які можуть бути використані у практичних цифрових пристроях – від систем автоматичного керування до елементів комп'ютерної техніки. Вирішення цієї задачі потребує аналізу режимів роботи Т-тригерів у трійковому середовищі, розробки відповідних схемних рішень і встановлення логічних закономірностей їх функціонування. Таким чином, дослідження у цьому напрямі відповідає актуальним науковим проблемам цифрової схемотехніки та має важливе прикладне значення для розвитку високопродуктивних електронних систем нового покоління.

Аналіз останніх досліджень і публікацій. Сучасні дослідження підтверджують, що трійкова логіка, як найпростіший варіант багатозначної логіки, є закономірним розвитком традиційної бінарної системи. Її унікальні властивості у напівпровідникових технологіях та симетричність представлення даних, привертали увагу науковців ще до появи перших обчислювальних пристроїв [1]. У сучасних умовах цей напрямок набуває особливої актуальності завдяки інтенсивному розвитку напівпровідникових технологій, що відкриває нові можливості для практичної реалізації трійкових обчислювальних систем.

Важливим аспектом трійкової логіки є введення нової одиниці інформації - трита, який за своєю ємністю (приблизно 1,585 біт) перевершує традиційний біт [2]. Незважаючи на це, сучасний стан розвитку елементної бази трійкових систем залишається

на етапі активного формування. Наукова спільнота пропонує різноманітні підходи до побудови базових логічних елементів, серед яких особливу увагу приділяється схемам на основі біполярних транзисторів (БПЕБЛ) [3,5]. Ці рішення демонструють потенціал для реалізації як арифметичних, так і логічних операцій у трійковій системі.

Попередні дослідження встановили, що на базі БПЕБЛ можна створити універсальні структури, придатні для реалізації будь-якої трійкової системи числення, зокрема симетричної [4]. Водночас, незважаючи на наявність окремих методів синтезу трійкових функцій (наприклад, комбінація БПЕБЛ з двохходовими схемами на основі дешифраторів [2]), досі не створено уніфікованого алгоритму для їх генерації. Це обумовлено як відносно недавнім початком інтенсивного вивчення трійкової логіки, так і її значною складністю порівняно з бінарною системою.

Особливо гостро стоїть питання про повноту трійкової логіки - чи можна в її рамках реалізувати всі функції, аналогічні двійковим. Практичні порівняння демонструють значні переваги трійкових систем: наприклад, дворозрядний трійковий лічильник може приймати до 9 різних значень проти 4 у двійковому аналозі, що свідчить про його в 2,25 рази вищу ефективність. Додатковою перевагою є можливість роботи з від'ємними значеннями без додаткових модифікацій, що є наслідком властивості трійкової системи симетрії.

Таким чином, незважаючи на значний прогрес у дослідженнях трійкової логіки, залишаються актуальними питання розробки уніфікованих методів синтезу трійкових функцій, доказу їх повноти та оптимізації архітектури трійкових обчислювальних систем. Вирішення цих завдань має ключове значення для подальшого розвитку цього перспективного напрямку в обчислювальній техніці.

Аналіз досліджень свідчить про зростаючу наукову зацікавленість у трійковій логіці як перспективній альтернативі двійковим системам. Встановлено, що трійкова логіка має низку суттєвих переваг: природність сприйняття, вищу інформаційну щільність (трит > біт), енергоефективність та скорочення елементної бази в цифрових пристроях.

Практична реалізація таких систем поки що залишається складною через обмеженість елементної бази та відсутність уніфікованих методів синтезу. Проте розробки на основі багатопорогових елементів (БПЕБЛ), зокрема створення трійкових Т-тригерів та дворозрядних лічильників, демонструють працездатність і ефективність трійкових структур. Це відкриває перспективи для подальших досліджень у напрямі створення більш складних синхронних схем, підвищення розрядності та впровадження трійкової логіки в реальні цифрові системи.

Постановка завдання. Розробити та дослідити архітектуру трійкового дворозрядного асинхронного лічильника на основі трійкових Т-тригерів, що реалізуються з використанням біполярних порогових елементів багатозначної логіки (БПЕБЛ), з метою підтвердження ефективності трійкового підходу в цифрових пристроях і обґрунтування доцільності його впровадження як перспективної альтернативи традиційній бінарній логіці. Задачі дослідження:

1. Дослідити сучасний стан розвитку трійкової логіки та обґрунтувати її доцільність як альтернативи традиційній бінарній логіці в цифрових системах.
2. Розробити конструкцію трійкового асинхронного Т-тригера, здатного стабільно функціонувати в умовах симетричної трійкової системи числення $(-1, 0, +1)$.
3. Сформулювати таблиці істинності для трійкового Т-тригера та дворозрядного трійкового лічильника з метою підтвердження правильності переходів між станами.

4. Створити структурну схему трійкового асинхронного Т-тригера на основі елементів БПЕБЛ (багатопорогових елементів багатозначної логіки), емітерних повторювачів і струмових перемикачів.

5. Синтезувати архітектуру дворозрядного трійкового асинхронного лічильника шляхом послідовного з'єднання розроблених Т-тригерів.

6. Оцінити працездатність і ефективність розроблених схем у порівнянні з бінарними аналогами за кількістю станів, структурною складністю та потенційним енергоспоживанням.

Результатом роботи має стати функціональна схема трійкового лічильника та трійкового Т-тригера, що демонструє переваги використання трійкової логіки в обчислювальних пристроях, а також обґрунтування доцільності його застосування в сучасних обчислювальних системах.

Виклад основного матеріалу. В якості основи трійкового лічильника було взято асинхронний Т-тригер, асинхронний тип виконує цей перехід в протилежний стан безпосередньо [6]. В даному тригері вихідний стан буде залежати не тільки від вхідних сигналів, а ще й від їхнього попереднього стану, тобто як цифровий автомат [7]. Взагалі тригер відноситься до цифрової електроніки, і це електронний компонент, який використовується для зберігання одного біта інформації [8]. Проектований трійковий Т-тригер здійснює циклічне перемикання станів за схемою від нуля до мінус одиниці, потім до плюс одиниці і знову до нуля ($0 \rightarrow -1 \rightarrow +1 \rightarrow 0$). Його конструктивна реалізація ґрунтується на методі двовходових логічних функцій з використанням трьох ключових компонентів - блоку формування порогів (БФП), емітерних повторювачів (ЕП) та струмових перемикачів (СП), що дозволяє забезпечити стабільну роботу у трійковій системі числення [2]. Особливістю такої реалізації є використання комбінації емітерних повторювачів і струмових перемикачів, де виходи перших з'єднуються з входами других, формуючи таким чином трійкову вихідну шину. Критично важливим елементом системи виступає блок формування порогів, який забезпечує синхронізацію сигналів між різними логічними елементами та підтримує чітке розмежування трьох логічних рівнів. Запропонована архітектура демонструє високу гнучкість при проектуванні складних логічних схем та забезпечує надійність перемикання станів тригера. Для практичної реалізації цього підходу був обраний метод двовходових функцій, що використовує принцип дешифратора, який дозволяє ефективно керувати переходами між різними станами при збереженні унікальності кожного стану [4]. Нижче наведена таблиця істинності спроектованого трійкового асинхронного Т-тригеру на основі методу двовходових. У даній таблиці відображаються усі входи та виходи, також наявний неявний вхід Q^{-1} , яким позначається попередній стан тригеру, від якого буде залежати наступний стан, щоб значення йшли по циклу описаним вище. Також присутні умовні позначення для кожного БФП у схемі, які будуть описуватися далі.

У запропонованій системі на базі БПЕБЛ вхідні сигнали піддаються арифметичному додаванню, що при обробці двох змінних дає п'ять рівнів сумарного сигналу при наявних дев'яти доступних фізичних рівнів. Для ефективного розрізнення рівнів вхідних сигналів запроваджується система з двох БПЕБЛ, яка генерує чотири вихідні сигнали (+R1, +L1, -R1, -L1), що несуть інформацію про стан кожного вхідного параметра. Далі для формування кінцевого значення вихідної функції використовуються чотири порогові БПЕБЛ, з яких залишаються лише ті пороги, що спеціалізуються на подвійних значеннях: +L2, що активується при сигналі "--", та -L1, який реагує на сигнал "++". Такий підхід дозволяє точно визначати необхідні стани вихідної функції на основі комбінації вхідних сигналів.

Таблиця 1 – Таблиця істинності трійкового асинхронного Т-тригеру

		Т				Q ⁻¹				Q ⁰
		A1	B1	C1	D1	A0	B0	C0	D0	
Т	Q(-1)	-L1	-R1	+L1	+R1	-L1	-R1	+L1	+R1	Q ⁰
-	-	0	-	+	0	0	-	+	0	0
-	0	0	-	+	0	0	-	0	+	0
-	+	0	-	+	0	-	0	0	+	0
0	-	0	-	0	+	0	-	+	0	0
0	0	0	-	0	+	0	-	0	+	0
0	+	0	-	0	+	-	0	0	+	0
+	-	-	0	0	+	0	-	+	0	+
+	0	-	0	0	+	0	-	0	+	-
+	+	-	0	0	+	-	0	0	+	0

Джерело: розроблено авторами

Таблиця 2 – Таблиця порогів двохходового БПЕБЛ

Сума вхідних струмів	Вихідні сигнали							
	+U ₆₂		+U ₆₁		-U ₆₂		-U ₆₁	
terlev	+R ₂	+L ₂	+R ₁	+L ₁	-R ₁	-L ₁	-R ₂	-L ₂
--	0	+	0	+	-	0	-	0
-	+	0	0	+	-	0	-	0
0	+	0	+	0	-	0	-	0
+	+	0	+	0	0	-	-	0
++	+	0	+	0	0	-	0	-

Джерело: розроблено на підставі [2]

На підставі створених таблиць 1 та 2 була зроблена структурна схема тригеру з одним входом та одним виходом. Маємо чотири блоки формування порогів, по два для формування входів (БФП1-БФП2) та виходів (БФП3-БФП4) Т-тригеру, для перших двох БФП подаються по одній вхідній шині, для наступних двох БФП для формування виходів тригеру йдуть 3 та 4 шини відповідно. Після чого для БФП1-БФП2 формуються по два виходи, які поєднуються з двома входами емітерних повторювачів (ЕП1-ЕП4), виходи кожного з яких з'єднано зі входами струмовими перемикачами (СП1-СП4), кожен з яких має два виходи, та обирається певна комбінація даних виходів для формування входу наступних БФП3 (-R1(B1), +R1(D1), -L1(A0), +R1(D0)) та БФП4(-L1(A1), -R1(B0), +R1(D0)) для формування виходу Т-тригеру. Для БФП3-БФП4 формується по одному виходу, які поєднуються з входами ЕП5-ЕП6 кожний з яких з'єднано зі входами струмовими перемикачами (СП5-СП6), вихід кожного СП також формує по 2 виходи, та обираються лише значення -L2 та +L2 для формування виходу Т-тригеру. У результаті маємо працюючий трійковий асинхронний Т-тригер, який працює від вхідного тактового сигналу, та змінюється лише при поданні позитивного сигналу (+1), даний тригер буде використаний для подальшого проектування дворозрядного лічильника. Також даний тригер, або його інші реалізації, може бути використаний у багатозначних цифрових системах, а також як навчальний приклад для вивчення альтернативних логічних структур у електроніці.

На основі розробленого трійкового асинхронного Т-тригеру будемо дворозрядний трійковий лічильник поєднуючи два трійкових Т-тригери послідовно. Лічильники бувають синхронними та асинхронними, в нашому випадку маємо асинхронний лічильник. У синхронних лічильниках усі тригери працюють від одного спільного тактового сигналу, тобто лише перший тригер керується основним тактовим

генератором, а тактові входи решти лічильників керуються виходами попередніх тригерів [9, 10].

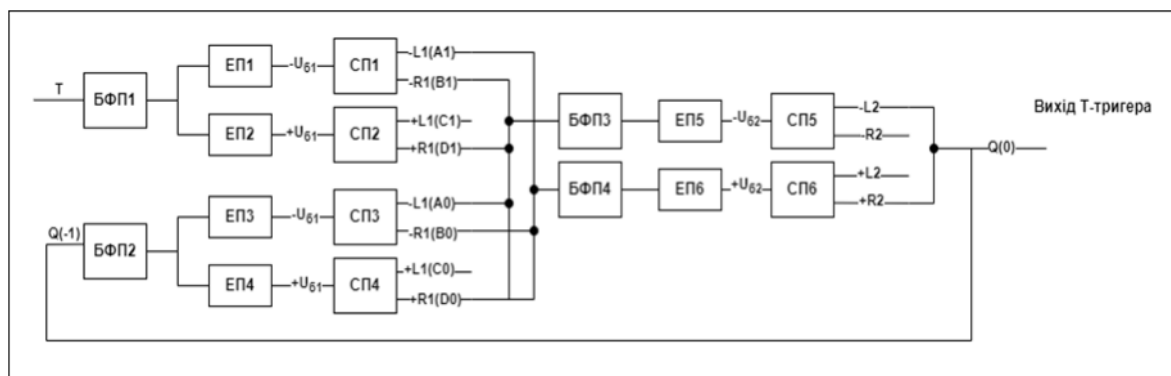


Рисунок 1 – Структурна схема трійкового асинхронного Т-тригера

Джерело: розроблено на підставі [2]

Таблиця 3 – Таблиця істинності трійкового асинхронного дворозрядного лічильника

Номер такту	Вихід першого розряду	Вихід другого розряду	Десяткове значення
0	0	0	$0 \cdot 3^0 + 0 \cdot 3^1 = 0$
1	-	0	$1 \cdot 3^0 + 0 \cdot 3^1 = 1$
2	+	0	$2 \cdot 3^0 + 0 \cdot 3^1 = 2$
3	0	-	$0 \cdot 3^0 + 1 \cdot 3^1 = 3$
4	-	-	$1 \cdot 3^0 + 1 \cdot 3^1 = 4$
5	+	-	$2 \cdot 3^0 + 1 \cdot 3^1 = 5$
6	0	+	$0 \cdot 3^0 + 2 \cdot 3^1 = 6$
7	-	+	$1 \cdot 3^0 + 2 \cdot 3^1 = 7$
8	+	+	$2 \cdot 3^0 + 2 \cdot 3^1 = 8$
9	0	0	$0 \cdot 3^0 + 0 \cdot 3^1 = 0$

Джерело: розроблено авторами

З таблиці видно, що лічильник працює циклічно та лише від одного вхідного тактового сигналу, значення йдуть від 0 до 8 та після 8 знову скидаються в 0. Даний лічильник буде мати один вхід та два виходи які будуть відповідати за розряди лічильника та будуть рахуватися у сумі як десяткове число. У трійковому вигляді це буде виглядати так: нуль буде відповідати за нульове значення, мінус – за одиницю, плюс за два. Десяткове значення з сигналів буде визначатися наступним чином: буде братися значення сигналу та для першого розряду помножитися на степінь системи числення, тобто три, в нульовій степені, так як це перший розряд, далі йде сума з другим розрядом, також значення сигналу помножене на степінь системи числення помножене в першій степені, так як це другий розряд, тобто якщо отримуємо в першому розряді «-», а в другому «+», то отримуємо десяткове значення «7», використовуючи лише два розряди, що є досить ефективним порівнюючи з двійковою системою.

Структурна схема лічильника має два розроблених Т-тригери, які підключені послідовно. Тактовим входом лічильника буде вхід першого тригера T_0 , для другого тригера тактовим сигналом T_1 буде вихід першого тригера Q_0 , у результаті отримуємо перший(Q_0) та другий(Q_1) розряди лічильника за допомогою спроектованих Т-тригерів на основі методу двовходових та використанню формуванню порогів.

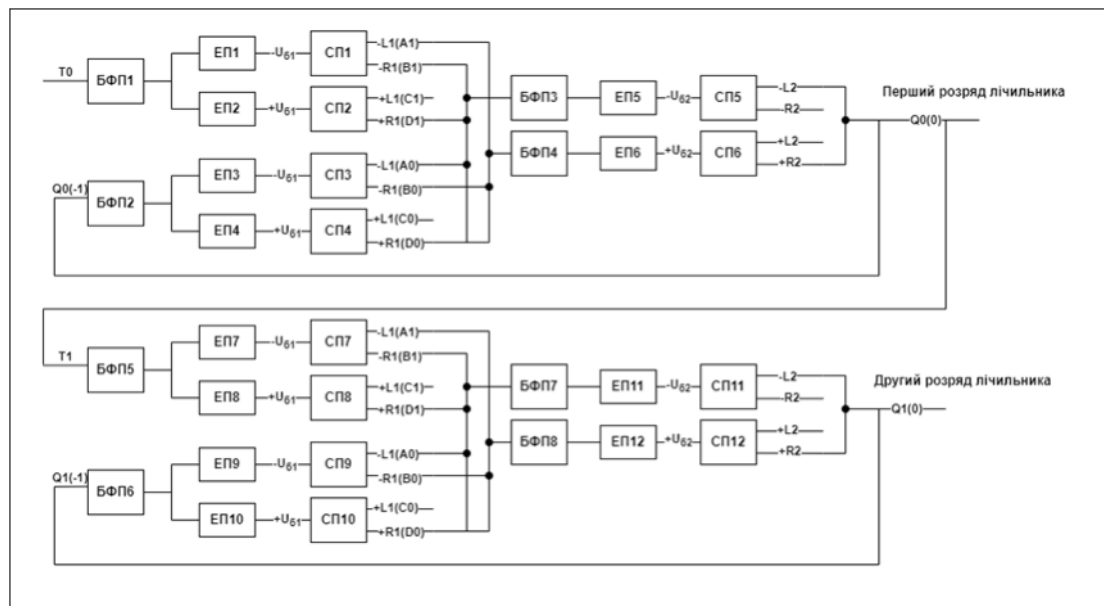


Рисунок 2 – Структурна схема трійкового асинхронного лічильника

Джерело: розроблено авторами

Висновки. У ході дослідження було досягнуто поставленої мети — розроблено та проаналізовано архітектуру трійкового дворозрядного асинхронного лічильника на основі трійкових Т-тригерів. Створений трійковий Т-тригер продемонстрував стабільну та надійну роботу в умовах трьох логічних рівнів $(-1, 0, +1)$, що стало основою для реалізації лічильника, здатного відображати дев'ять циклічних станів. Це підтверджує можливість практичного застосування симетричної трійкової системи числення в цифрових пристроях.

Запропонована схема, побудована на біполярних порогових елементах багатозначної логіки, дозволила зменшити кількість логічних вузлів порівняно з двійковими аналогами, забезпечити високу інформаційну щільність та потенційно знизити енергоспоживання. Таким чином, було експериментально доведено ефективність і доцільність впровадження трійкової логіки в цифрову техніку, що повністю відповідає меті дослідження.

Отримані результати підтверджують перспективність розвитку трійкових обчислювальних структур та вказують на необхідність подальших досліджень у напрямках: розширення розрядності, синхронізації трійкових схем, вдосконалення методів синтезу логічних функцій та інтеграції трійкових елементів у середовища програмованих логічних пристроїв. Також актуальним є проведення енергетичного аналізу трійкових схем, що дозволить більш обґрунтовано оцінити їх переваги у порівнянні з традиційними бінарними підходами.

Список літератури

1. Лебедева В. В., Гунченко Ю. О. Информатика, інформаційні системи та технології. Огляд тризначної логіки. *Інформатика, інформаційні системи та технології: тези доп. 13-ї Всеукр. конф. студентів і молодих науковців* (Одеса, 8 квіт. 2016 р.). Одеса, 2016. С. 61–63.
2. Мартинович Л. Я. Проектування та синтез трійкових логічних елементів. *Комп'ютерні системи та інформаційні технології. Міжнар. наук. журн. Хмельниц. нац. ун-ту*. 2022. Вип. 4. С. 52–60. URL: <https://doi.org/10.31891/csit-2022-4-8> (дата звернення: 18.04.2025).
3. Гунченко Ю., Мартинович Л., Тихонова К., Слуцький Д. Концепція побудови пристроїв трійкової логіки. *Перспективні напрямки сучасної електроніки, інформаційних та комп'ютерних систем: матеріали 5-ї Всеукр. наук.-практ. конф.* (Дніпро, 25–27 листоп. 2020 р.). Дніпро, 2020. С. 93–94.
4. Левчук В., Гунченко Ю., Кузніченко С. та ін. Концепція побудови логічних і арифметичних пристроїв для багатозначних логік. *Інформаційні технології та комп'ютерне моделювання: матеріали Міжнар. наук.-практ. конф.* (Івано-Франківськ, 14–18 трав. 2018 р.). І-Франківськ, 2018. С. 216–219. URL: <https://journal.comp-sc.if.ua/test/index.php/ITCM/article/view/428/220> (дата звернення: 18.04.2025).
5. Багатопороговий елемент багатозначної логіки: пат. 118735 Україна: МПК H03K19/00. № у 2017 01717; заявл. 23.02.2017; опубл. 28.08.2017, Бюл. № 16.
6. Посібник з Т-тригера – плюси та мінуси, як він працює, типи. *Дистрибутор електронних компонентів: веб-сайт*. URL: <https://www.allegroelec.com/blog/introduction-to-t-flip-flops-and-their->

working-principles.html?srsId=AfmBOoo3sSlrZT8AYtbHr-2hHjkFp8vSnjPjXz60LpkEtEoGJaVgpjbo#t2 (дата звернення: 19.04.2025).

7. Т-тригер. *GeeksForGeeks: веб-сайт*. URL: <https://www.geeksforgeeks.org/t-flip-flop/> (дата звернення: 19.04.2025).
8. Трійковий RS-тригер: пат. 149386 Україна: МПК H03K19/00. № у 2021 04077; заявл. 13.07.2021; опубл. 11.11.2021, Бюл. № 45.
9. Проектування лічильника для заданої послідовності. *GeeksForGeeks: веб-сайт*. URL: <https://www.geeksforgeeks.org/design-counter-given-sequence/> (дата звернення: 21.04.2025).
10. 2-бітний лічильник. *Deldsim: веб-сайт*. URL: <https://www.deldsim.com/study/material/42/2-bit-up-counter/> (дата звернення: 21.04.2025).

References

1. Lebedieva, V. V., & Hunchenko, Yu. O. (2016). *Informatics, information systems and technologies. Review of ternary logic*. In *Informatics, information systems and technologies: Abstracts of the 13th All-Ukrainian Conference of Students and Young Scientists* (Odesa, April 8, 2016) (pp. 61–63). Odesa [in Ukrainian].
2. Martynovych, L. Ya. (2022). *Design and synthesis of ternary logic elements. Computer Systems and Information Technologies. International Scientific Journal of Khmelnytskyi National University*, 4, 52–60 [in Ukrainian]. <https://doi.org/10.31891/csit-2022-4-8>
3. Hunchenko, Yu., Martynovych, L., Tykhonova, K., & Slutskyi, D. (2020). *Concept of building ternary logic devices*. In *Proceedings of the 5th All-Ukrainian Scientific and Practical Conference "Perspective directions of modern electronics, information and computer systems"* (Dnipro, November 25–27, 2020) (pp. 93–94). Dnipro [in Ukrainian].
4. Levchuk, V., Hunchenko, Yu., Kuznichenko, S., et al. (2018). *Concept of building logical and arithmetic devices for multivalued logics*. In *Proceedings of the International Scientific and Practical Conference "Information technologies and computer modeling"* (Ivano-Frankivsk, May 14–18, 2018) (pp. 216–219). Ivano-Frankivsk [in Ukrainian]. <https://journal.comp-sc.if.ua/test/index.php/ITCM/article/view/428/220>
5. *Multi-threshold element of multi-valued logic*: Patent 118735 Ukraine: IPC H03K19/00. No. u 2017 01717; filed 23.02.2017; published 28.08.2017, Bulletin No. 16 [in Ukrainian].
6. *T-flip-flop guide – advantages and disadvantages, how it works, types*. Distributor of electronic components: website. Retrieved April 19, 2025, from <https://www.allelcoelec.com/blog/introduction-to-t-flip-flops-and-their-working-principles.html?srsId=AfmBOoo3sSlrZT8AYtbHr-2hHjkFp8vSnjPjXz60LpkEtEoGJaVgpjbo#t2>
7. *T-flip-flop*. *GeeksForGeeks: website*. Retrieved April 19, 2025, from <https://www.geeksforgeeks.org/t-flip-flop/>
8. *Ternary RS-flip-flop*: Patent 149386 Ukraine: IPC H03K19/00. No. u 2021 04077; filed 13.07.2021; published 11.11.2021, Bulletin No. 45 [in Ukrainian].
9. *Design counter for given sequence*. *GeeksForGeeks: website*. Retrieved April 21, 2025, from <https://www.geeksforgeeks.org/design-counter-given-sequence/>
10. *2-bit counter*. *Deldsim: website*. Retrieved April 21, 2025, from <https://www.deldsim.com/study/material/42/2-bit-up-counter/>.

Yefimenko Timur, Larysa Martynovych

Odesa I. I. Mechnykov National University, Odesa, Ukraine

Synthesis of a Ternary Two-Bit Counter Based on Ternary T-Triggers

The purpose of this article is to study the possibilities of using ternary logic in digital devices by developing and synthesizing a two-bit ternary counter based on asynchronous ternary T-triggers. The author seeks to prove the effectiveness and feasibility of the transition from traditional binary logic to multivalued calculus systems, in particular ternary, by creating a workable hardware implementation capable of stable cyclic switching of logical states in a symmetric ternary number system.

In this paper, we provide an analytical review of the current state of development of ternary logic, consider its advantages and disadvantages, and describe the problems of synthesizing logical functions in the ternary environment. Based on the existing approaches, a ternary asynchronous T-trigger was designed using bipolar threshold elements of multivalued logic (BETL), emitter repeaters, and current switches. The proposed architecture allows to realize switching between three logical states (-1, 0, +1) with a high level of reliability. Truth tables for both a separate trigger and a two-bit ternary counter operating on its basis have been developed. This counter covers nine states, which corresponds to the numbers from 0 to 8 in decimal. The paper also provides detailed block diagrams of both the trigger and the counter, which provide a visual representation of the logic of the device. As a result of the study, we have proved the operability of the proposed technical solution, its potential efficiency in comparison with binary analogs, as well as the prospects for further implementation in digital systems. The obtained results demonstrate the feasibility of using ternary logic to build compact and energy-efficient logic elements of a new generation. In further research, the author sees the need to develop synchronous ternary circuits, expand the bit capacity of counters, and model the operation of the proposed devices in CAD environments to ensure practical use in modern digital systems.

ternary logic, T-trigger, asynchronous counter, multivalued logic, multi-threshold element of multi-valued logic, digital circuit

Одержано (Received) 24.04.2025

Прорецензовано (Reviewed) 29.05.2025

Прийнято до друку (Approved) 24.06.2025